

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-124834

(43)Date of publication of application : 26.04.2002

(51)Int.Cl.

H03D 7/14

(21)Application number : 2000-313986

(71)Applicant : MATSUSHITA ELECTRIC WORKS
LTD

(22)Date of filing : 13.10.2000

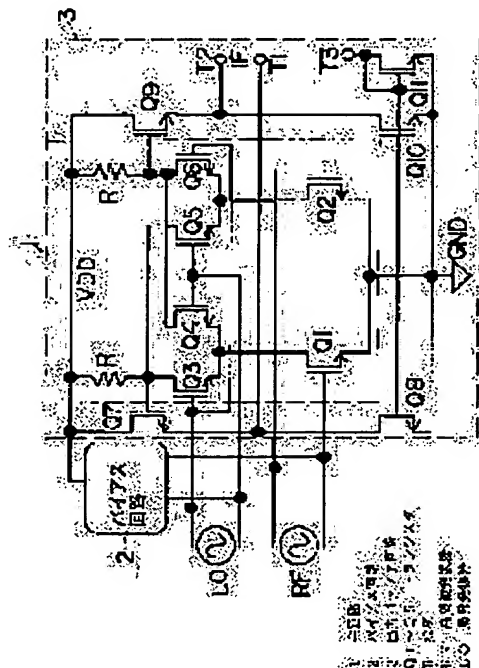
(72)Inventor : TSUJIMOTO TOYOHICO

(54) HIGH-FREQUENCY MIXER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-mixer circuit which can be operated at a low voltage and whose output amplitude dependence on the power supply voltage can be suppressed at the time of low-voltage operation.

SOLUTION: The high-frequency mixer circuit is provided with a main circuit 1 for obtaining an intermediate frequency(IF) signal by mixing a local oscillation signal inputted by a local oscillator LO and a high-frequency signal inputted by a high-frequency oscillator RF, a bias circuit 2 for supplying bias voltage to first - sixth transistors Q1-Q6 and an output buffer circuit 3 for driving an external measuring instrument by the intermediate frequency signal. The number of stages of transistors is reduced to two in comparison to a conventional example in a Gilbert cell structure and the power supply voltage can be reduced by supplying bias voltage Vb1 and Vb2 to the transistors Q1-Q6 from the bias circuit 2. In this way, the circuit can be operated at a low voltage, the current through the circuit can be kept almost constant and the dependence on the power supply voltage of the output amplitude can be suppressed at the time of operation at a low voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓
特開2002-124834
(P2002-124834A)

(43) 公開日 平成14年4月26日 (2002. 4. 26)

(51) Int.Cl.⁷
H 0 3 D 7/14

識別記号

F I
H 0 3 D 7/14

テーマコード (参考)
C

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2000-313986(P2000-313986)

(22) 出願日 平成12年10月13日 (2000. 10. 13)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 辻本 豊彦

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100087767

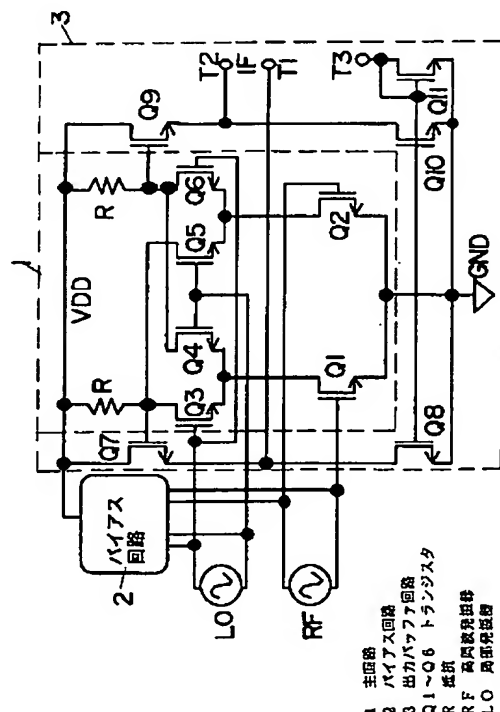
弁理士 西川 恵清 (外 1 名)

(54) 【発明の名称】 高周波ミキサ回路

(57) 【要約】

【課題】 低電圧で動作可能とし且つ低電圧動作時の出力振幅の電源電圧依存性を抑える。

【解決手段】 局部発振器 L O から入力される局部発振信号と高周波発振器 R F から入力される高周波信号を混合して中間周波数 (I F) 信号を得る主回路 1 と、第 1 ～ 第 6 のトランジスタ Q 1 ～ Q 6 にバイアス電圧を供給するバイアス回路 2 と、中間周波数信号により外部の測定器を駆動するための出力バッファ回路 3 とを備える。ギルバートセル構成の従来例に対して、トランジスタの段数を減らして 2 段構成にし、バイアス回路 2 から各トランジスタ Q 1 ～ Q 6 にバイアス電圧 V b 1, V b 2 を供給することで電源電圧を低減することができて低電圧での動作が可能になるとともに、回路に流れる電流値を略一定に保つことが可能になり、低電圧動作時の出力振幅の電源電圧依存性を抑えることができる。



1

【特許請求の範囲】

【請求項 1】 複数の CMOS-FET を他の要素とともに同一半導体基板上に形成してなり、互いに周波数の異なる高周波信号と局部発振信号を混合して出力する高周波ミキサ回路において、Nチャネルの CMOS-FET からなる第 1～第 6 のトランジスタと、第 1～第 6 のトランジスタにバイアス電圧を供給するバイアス回路とを備え、第 1 及び第 2 のトランジスタのソースを接地するとともに第 1 及び第 2 のトランジスタのゲートに高周波信号を差動入力し、第 3 及び第 4 のトランジスタのソ
10 スと第 1 のトランジスタのドレインを接続するとともに第 5 及び第 6 のトランジスタのソースと第 2 のトランジスタのドレインを接続し、第 3 及び第 6 のトランジスタのゲートを接続した接続点と第 4 及び第 5 のトランジスタのゲートを接続した接続点とに局部発振信号を差動入力し、第 3 及び第 5 のトランジスタのドレインに接続された第 1 の混合出力端子を設けるとともに第 4 及び第 6 のトランジスタのドレインに接続された第 2 の混合出力端子を設け、第 1 及び第 2 の混合出力端子にそれぞれ負荷抵抗を介して電源を接続し、第 1 及び第 2 のトラン
20 ジスタにバイアス回路から第 1 のバイアス電圧を供給するとともに第 3～第 6 のトランジスタにバイアス回路から第 2 のバイアス電圧を供給してなることを特徴とする高周波ミキサ回路。

【請求項 2】 第 1 及び第 2 のバイアス電圧を、第 1 及び第 2 の混合出力端子間に出力される出力信号の振幅が最大となる電圧に設定することを特徴とする請求項 1 記載の高周波ミキサ回路。

【請求項 3】 第 1～第 6 のトランジスタの少なくとも何れか一つに流れる電流を検出する検出手段と、検出手段の検出結果に応じて当該電流が略一定となるようにバイアス回路の第 1 及び第 2 のバイアス電圧の少なくとも何れか一方を調整する調整手段とを備えたことを特徴とする請求項 1 又は 2 記載の高周波ミキサ回路。

【請求項 4】 外部から与えられる信号に基づいてバイアス回路の第 1 又は第 2 のバイアス電圧の少なくとも何れか一方を可変制御する制御手段を備えたことを特徴とする請求項 1 又は 2 又は 3 記載の高周波ミキサ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、互いに周波数の異なる高周波信号（RF 信号）と局部発振信号を混合して中間周波数信号（IF 信号）を出力する高周波ミキサ回路に関するものである。

【0002】

【従来の技術】 従来、高周波ミキサ回路としてギルバートセルと呼ばれる回路構成を採用したものが知られている。図 7 には、このようなギルバートセル構成のミキサ回路を CMOS 集積回路上に構成したときの回路構成図を示している。すなわち、第 1 及び第 2 のトランジスタ

2

M2a、M2b のソースを第 7 のトランジスタ M3 を介して接地するとともに第 1 及び第 2 のトランジスタ M2a、M2b に高周波信号（RF 信号）を差動入力し、第 3 及び第 4 のトランジスタ M1a、M1b のソースと第 1 のトランジスタ M2a のドレインを接続するとともに第 5 及び第 6 のトランジスタ M1c、M1d のソースと第 2 のトランジスタ M2b のドレインを接続し、第 3 及び第 6 のトランジスタ M1a、M1d のゲートを接続した接続点と第 4 及び第 5 のトランジスタ M1b、M1c
10 のゲートを接続した接続点とに局部発振信号（LO 信号）を差動入力し、第 3 及び第 5 のトランジスタ M1a、M1c のドレインに接続された第 1 の混合出力端子を設けるとともに第 4 及び第 6 のトランジスタ M1b、M1d のドレインに接続された第 2 の混合出力端子を設け、第 1 及び第 2 の混合出力端子にそれぞれ負荷抵抗 R、R を介して電源 VDD を接続し、第 7 のトランジスタ M3 にバイアス電圧 VBIAS を供給している。

【0003】 而して、第 1 及び第 2 のトランジスタ M2a、M2b に高周波信号を入力するとともに第 3 及び第 6 のトランジスタ M1a、M1d のゲートを接続した接続点と第 4 及び第 5 のトランジスタ M1b、M1c のゲートを接続した接続点に局部発振信号を入力すれば、これらの信号が混合された中間周波数信号が第 1 及び第 2
20 の混合信号出力端子間に出力されるものである。

【0004】

【発明が解決しようとする課題】 ところが、上記ギルバートセル構成の従来例においては、第 1～第 7 のトランジスタ M2a、… を 3 段に縦積みする回路構成となるため、各トランジスタ M2a、… を動作させるために動作電圧 VDD を高くする必要があり、電池駆動を考慮した場合など低電圧での動作が難しくなるといった問題がある。

【0005】 本発明は上記事情に鑑みて為されたものであり、その目的とするところは、低電圧で動作し且つ低電圧動作時の出力振幅の電源電圧依存性を抑えることができる高周波ミキサ回路を提供することにある。

【0006】

【課題を解決するための手段】 請求項 1 の発明は、上記目的を達成するために、複数の CMOS-FET を他の要素とともに同一半導体基板上に形成してなり、互いに周波数の異なる高周波信号と局部発振信号を混合して出力する高周波ミキサ回路において、Nチャネルの CMOS-FET からなる第 1～第 6 のトランジスタと、第 1～第 6 のトランジスタにバイアス電圧を供給するバイアス回路とを備え、第 1 及び第 2 のトランジスタのソースを接地するとともに第 1 及び第 2 のトランジスタのゲートに高周波信号を差動入力し、第 3 及び第 4 のトランジスタのソースと第 1 のトランジスタのドレインを接続するとともに第 5 及び第 6 のトランジスタのソースと第 2
40 のトランジスタのドレインを接続し、第 3 及び第 6 のト
50

3

ランジスタのゲートを接続した接続点と第4及び第5のトランジスタのゲートを接続した接続点とに局部発振信号を差動入力し、第3及び第5のトランジスタのドレインに接続された第1の混合出力端子を設けるとともに第4及び第6のトランジスタのドレインに接続された第2の混合出力端子を設け、第1及び第2の混合出力端子にそれぞれ負荷抵抗を介して電源を接続し、第1及び第2のトランジスタにバイアス回路から第1のバイアス電圧を供給するとともに第3～第6のトランジスタにバイアス回路から第2のバイアス電圧を供給してなることを特徴とし、ギルバートセル構成の従来例に対して、トランジスタの段数を減らして2段構成にし、バイアス回路から各トランジスタにバイアス電圧を供給することで電源電圧を低減することができて低電圧での動作が可能になるとともに、回路に流れる電流値を略一定に保つことが可能になり、低電圧動作時の出力振幅の電源電圧依存性を抑えることができる。

【0007】請求項2の発明は、請求項1の発明において、第1及び第2のバイアス電圧を、第1及び第2の混合出力端子間に出力される出力信号の振幅が最大となる電圧に設定することを特徴とし、低電圧動作時における電圧変換利得の向上が可能となる。

【0008】請求項3の発明は、請求項1又は2の発明において、第1～第6のトランジスタの少なくとも何れか一つに流れる電流を検出する検出手段と、検出手段の検出結果に応じて当該電流が略一定となるようにバイアス回路の第1及び第2のバイアス電圧の少なくとも何れか一方を調整する調整手段とを備えたことを特徴とし、バイアス電圧値の誤差による回路内の消費電流の増加を防止することができる。

【0009】請求項4の発明は、請求項1又は2又は3の発明において、外部から与えられる信号に基づいてバイアス回路の第1又は第2のバイアス電圧の少なくとも何れか一方を可変制御する制御手段を備えたことを特徴とし、外部から回路内の電流値を調整することができるため、例えば、消費電流をさらに低減したり、あるいは電流を増加させて電圧変換利得を増加させるなどの調節が可能となる。

【0010】

【発明の実施の形態】（実施形態1）図1は本発明の実施形態1を示す概略回路構成図である。本実施形態は所謂CMOSプロセスによりNチャネルのCMOS-FETからなる第1～第6のトランジスタQ1～Q6を他の要素とともに同一半導体基板上に形成してなり、局部発振器LOから入力される局部発振信号と高周波発振器RFから入力される高周波信号を混合して中間周波数（IF）信号を得る主回路1と、第1～第6のトランジスタQ1～Q6にバイアス電圧を供給するバイアス回路2と、中間周波信号により外部の測定器を駆動するための出力バッファ回路3とを備える。

4

【0011】主回路1は、第1及び第2のトランジスタQ1、Q2のソースを接地するとともに第1及び第2のトランジスタQ1、Q2のゲートに高周波発振器RFから高周波信号を差動入力し、第3及び第4のトランジスタQ3、Q4のソースと第1のトランジスタQ1のドレインを接続するとともに第5及び第6のトランジスタQ5、Q6のソースと第2のトランジスタQ2のドレインを接続し、第3及び第6のトランジスタQ3、Q6のゲートを接続した接続点と第4及び第5のトランジスタQ4、Q5のゲートを接続した接続点とに局部発振器LOから局部発振信号を差動入力し、第3及び第5のトランジスタQ3、Q5のドレインに接続された第1の混合出力端子T1を設けるとともに第4及び第6のトランジスタQ4、Q6のドレインに接続された第2の混合出力端子T2を設け、第1及び第2の混合出力端子T1、T2にそれぞれ負荷抵抗R、Rを介して動作電源VDDを接続してなる。

【0012】バイアス回路2は動作電源VDDから電源供給を受けて動作し、第1及び第2のトランジスタQ1、Q2に第1のバイアス電圧Vb1を供給するとともに第3～第6のトランジスタQ3～Q6に第2のバイアス電圧Vb2を供給している。

【0013】出力バッファ回路3は、NチャネルのCMOS-FETからなる各一對のトランジスタQ7、Q8及びQ9、Q10を具備したソース・フォロワ増幅回路として構成され、下段のトランジスタQ8、Q10のゲート及びソースに各々ゲート及びソースが共通接続された電流設定用のトランジスタQ11が設けてあり、このトランジスタQ11のドレイン及びゲートに接続された設定用端子T3に印加するバイアス電圧に応じて出力バッファ回路3の出力電流が設定される。

【0014】ここで、本実施形態におけるバイアス回路2の第1及び第2のバイアス電圧Vb1、Vb2と出力信号（中間周波信号）の電圧振幅との関係をシミュレーションした結果をそれぞれ図2及び図3に示す。図2から明らかなように、第1及び第2のトランジスタQ1、Q2に供給する第1のバイアス電圧Vb1の変化に対して、出力信号の電圧振幅は極大点を持って大きく変化する。一方、図3から明らかなように、第3～第6のトランジスタQ3～Q6に供給する第2のバイアス電圧Vb2については、第2のバイアス電圧が約1.6V付近までは出力信号の電圧振幅が図2における極大値近傍で略一定となっている。このことから、第1及び第2のトランジスタに供給する第1のバイアス電圧Vb1の設定が出力信号の電圧振幅に大きな影響を及ぼすことが判る。したがって、出力信号の電圧振幅が最大となるようにバイアス回路2から出力する第1及び第2のバイアス電圧Vb1、Vb2を設定すればよい。なお、本実施形態におけるバイアス回路2は、電源電圧の変動によらず第1及び第2のバイアス電圧Vb1、Vb2を略一定値とす

る定電圧回路として構成してある。

【0015】上述のようにして第1及び第2のバイアス電圧 V_{b1} 、 V_{b2} を設定し、電源電圧（横軸）と電圧変換利得（縦軸）の関係をシミュレーションした結果を図4に示す。図4から明らかなように、電源電圧の低い領域（低電圧領域）においても電圧変換利得を略一定値に保つことが可能となる。なお、実測値においても同様の結果が得られている。

【0016】本実施形態は上述のように構成したものであるから、ギルバートセル構成の従来例に対して、トランジスタの段数を減らして2段構成にし、バイアス回路2から各トランジスタ $Q1 \sim Q6$ にバイアス電圧 V_{b1} 、 V_{b2} を供給することで電源電圧を低減することができて低電圧での動作が可能になるとともに、回路に流れる電流値を略一定に保つことが可能になり、低電圧動作時の出力振幅の電源電圧依存性を抑えることができる。しかも、第1及び第2のバイアス電圧 V_{b1} 、 V_{b2} を、第1及び第2の混合出力端子 $T1$ 、 $T2$ 間に出力される出力信号の振幅が最大となる電圧に設定すれば、低電圧動作時における電圧変換利得の向上が可能になる。

【0017】（実施形態2）図5は本発明の実施形態2を示す概略回路構成図である。但し、本実施形態の基本構成は実施形態1と共通であり、共通する構成については同一の符号を付して説明を省略し、本実施形態の特徴となる構成についてのみ説明する。

【0018】本実施形態は、第1のバイアス電圧 V_{b1} を供給する第1のバイアス回路2aと、第2のバイアス電圧 V_{b2} を供給する第2のバイアス回路2bと、主回路1に流れる電流を検出する検出回路4とを備え、検出回路4の検出結果に応じて上記電流が略一定となるように第1のバイアス回路2aからの第1のバイアス電圧 V_{b1} を調整する点に特徴がある。

【0019】検出回路4は負荷抵抗 R と第3のトランジスタ $Q3$ のドレインとの接続点の電圧によって主回路1に流れる電流を検出している。すなわち、主回路1に流れる電流値が大きい場合に負荷抵抗 R の電圧降下が大きくなって検出電圧が低下し、反対に電流値が小さい場合に負荷抵抗 R の電圧降下が小さくなって検出電圧が上昇することから、電流値に応じた検出信号が検出回路4から第1のバイアス回路2aに出力される。

【0020】一方、第1のバイアス回路2aにおいては、検出回路4からの検出信号に基づいて検出電圧が低下した場合には第1のバイアス電圧 V_{b1} を低下して主回路1の電流を減少させ、検出電圧が上昇した場合には第1のバイアス電圧 V_{b1} を上昇して主回路1の電流を増加させる。その結果、第1のバイアス電圧 V_{b1} の誤差による主回路1内の消費電流の増加を防止することができる。なお、本実施形態では第1のバイアス回路2aが第1のバイアス電圧 V_{b1} を調整する場合について説

明したが、第2のバイアス回路2bが第2のバイアス電圧 V_{b2} を調整したり、あるいは第1及び第2のバイアス回路2a、2bがそれぞれ第1及び第2のバイアス電圧 V_{b1} 、 V_{b2} を調整するようにしても良い。

【0021】（実施形態3）図6は本発明の実施形態3を示す概略回路構成図である。但し、本実施形態の基本構成は実施形態1と共通であり、共通する構成については同一の符号を付して説明を省略し、本実施形態の特徴となる構成についてのみ説明する。

【0022】本実施形態は、第1のバイアス電圧 V_{b1} を供給する第1のバイアス回路2aと、第2のバイアス電圧 V_{b2} を供給する第2のバイアス回路2bと、外部から与えられる信号に基づいて第1のバイアス回路2aの第1のバイアス電圧 V_{b1} を可変制御するバイアス制御回路5とを備えた点に特徴がある。

【0023】バイアス制御回路5は、外部から与えられる信号（バイアス値設定信号）に基づいて第1のバイアス電圧 V_{b1} を可変する制御信号を第1のバイアス回路2aに出力する。

【0024】一方、第1のバイアス回路2aにおいては、バイアス制御回路5からの制御信号により第1のバイアス電圧 V_{b1} を可変して主回路1の電流を増減させる。

【0025】上述のように本実施形態では、外部から主回路1内の電流値を調整することができるため、例えば、主回路1における消費電流をさらに低減したり、あるいは電流を増加させて電圧変換利得を増加させるなどの調節が可能になる。なお、本実施形態では第1のバイアス回路2aを制御する場合について説明したが、第2のバイアス回路2bを制御したり、あるいは第1及び第2のバイアス回路2a、2bを制御するようにしても良い。

【0026】

【発明の効果】請求項1の発明は、複数のCMOS-FETを他の要素とともに同一半導体基板上に形成してなり、互いに周波数の異なる高周波信号と局部発振信号を混合して出力する高周波ミキサ回路において、NチャネルのCMOS-FETからなる第1～第6のトランジスタと、第1～第6のトランジスタにバイアス電圧を供給するバイアス回路とを備え、第1及び第2のトランジスタのソースを接地するとともに第1及び第2のトランジスタのゲートに高周波信号を差動入力し、第3及び第4のトランジスタのソースと第1のトランジスタのドレインを接続するとともに第5及び第6のトランジスタのソースと第2のトランジスタのドレインを接続し、第3及び第6のトランジスタのゲートを接続した接続点と第4及び第5のトランジスタのゲートを接続した接続点とに局部発振信号を差動入力し、第3及び第5のトランジスタのドレインに接続された第1の混合出力端子を設けるとともに第4及び第6のトランジスタのドレインに接続

された第2の混合出力端子を設け、第1及び第2の混合出力端子にそれぞれ負荷抵抗を介して電源を接続し、第1及び第2のトランジスタにバイアス回路から第1のバイアス電圧を供給するとともに第3～第6のトランジスタにバイアス回路から第2のバイアス電圧を供給してなるので、ギルバートセル構成の従来例に対して、トランジスタの段数を減らして2段構成にし、バイアス回路から各トランジスタにバイアス電圧を供給することで電源電圧を低減することができて低電圧での動作が可能になるとともに、回路に流れる電流値を略一定に保つことが可能になり、低電圧動作時の出力振幅の電源電圧依存性を抑えることができるという効果がある。

【0027】請求項2の発明は、請求項1の発明において、第1及び第2のバイアス電圧を、第1及び第2の混合出力端子間に出力される出力信号の振幅が最大となる電圧に設定するので、低電圧動作時における電圧変換利得の向上が可能になるという効果がある。

【0028】請求項3の発明は、請求項1又は2の発明において、第1～第6のトランジスタの少なくとも何れか一つに流れる電流を検出する検出手段と、検出手段の検出結果に応じて当該電流が略一定となるようにバイアス回路の第1及び第2のバイアス電圧の少なくとも何れか一方を調整する調整手段とを備えたので、バイアス電圧値の誤差による回路内の消費電流の増加を防止することができるという効果がある。

【0029】請求項4の発明は、請求項1又は2又は3

の発明において、外部から与えられる信号に基づいてバイアス回路の第1又は第2のバイアス電圧の少なくとも何れか一方を可変制御する制御手段を備えたので、外部から回路内の電流値を調整することができるため、例えば、消費電流をさらに低減したり、あるいは電流を増加させて電圧変換利得を増加させるなどの調節が可能になるという効果がある。

【図面の簡単な説明】

【図1】実施形態1を示す概略回路構成図である。

【図2】同上における第1のバイアス電圧と出力信号の電圧振幅との関係を説明する説明図である。

【図3】同上における第2のバイアス電圧と出力信号の電圧振幅との関係を説明する説明図である。

【図4】同上における電源電圧と電圧変換利得との関係を説明する説明図である。

【図5】実施形態2を示す概略回路構成図である。

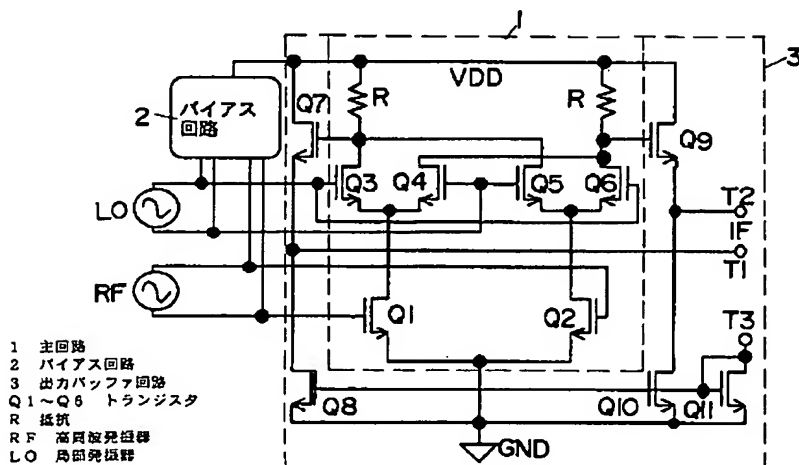
【図6】実施形態3を示す概略回路構成図である。

【図7】従来例を示す概略回路構成図である。

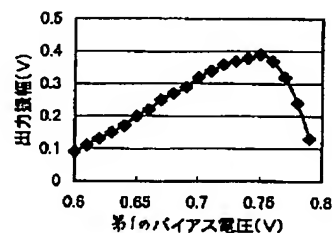
【符号の説明】

- 1 主回路
2 バイアス回路
3 出力バッファ回路
Q1～Q6 トランジスタ
R 負荷抵抗
RF 高周波発振器
LO 局部発振器

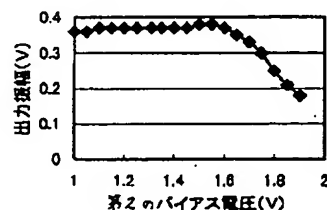
【図1】



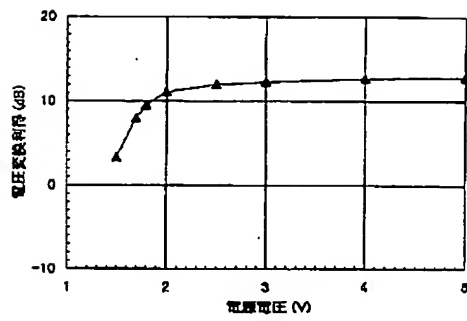
【図2】



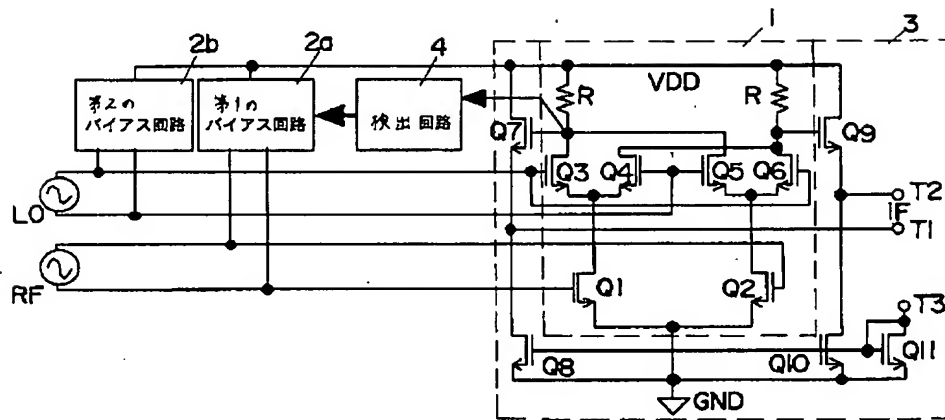
【図3】



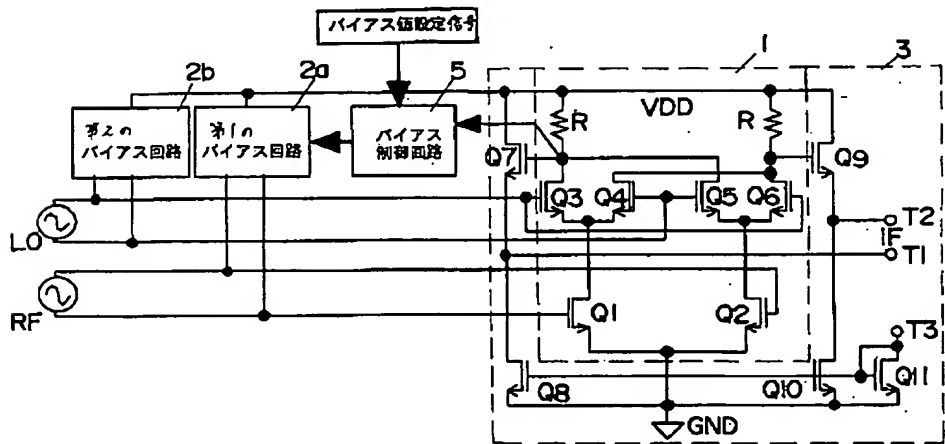
【図 4】



【図 5】



【図 6】



【図 7】

